

H10-27857

[Abstract]

[Subject] To achieve improvement of storing characteristics of electric charge and planarization above a semiconductor substrate in a non-volatile semiconductor memory of floating-gate type.

[Solving Means] A planarization stopper layer 13 is formed by patterning on a center portion of a device isolation film 12 protruding from a front surface of a semiconductor substrate 11, and a first insulation film 14 is formed on an active region 11a of the semiconductor substrate 11. Then, a floating gate formation layer 15 is formed above the semiconductor substrate 11 so as to fill a space between the device isolation films 12 therewith. A surface of the floating gate formation layer 15 is planarized until the planarization stopper layer 13 is exposed. A second insulation film 16 and a control gate formation layer 17 are sequentially formed above the semiconductor substrate 11, and patterning is performed in a longitudinal direction of a gate to form a floating gate 15a and a control gate 17a. Impurity is implanted to form a source and a drain, thereby forming a non-volatile semiconductor memory 1.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-27857

(43) 公開日 平成10年(1998) 1月27日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8247		H 0 1 L 29/78	3 7 1
	29/788		27/10	4 3 4
	29/792			
	27/115			

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号 特願平8-182973

(22) 出願日 平成8年(1996) 7月12日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 山岸 万千雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

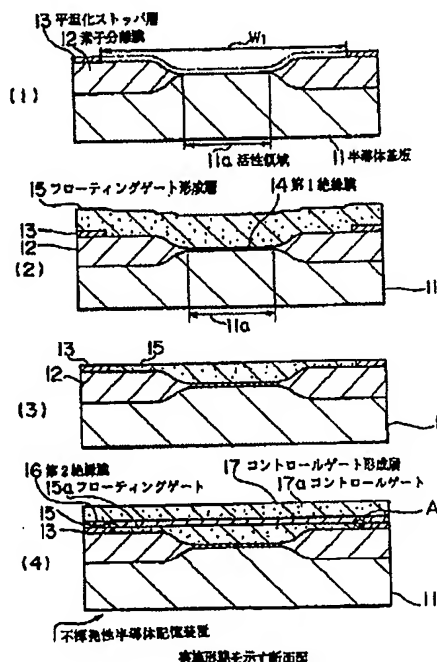
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 不揮発性半導体記憶装置の製造方法及び不揮発性半導体記憶装置

(57) 【要約】

【課題】 フローティングゲート型の不揮発性半導体記憶装置において、電荷の保持特性の向上と半導体基板上方の平坦化を達成する。

【解決手段】 半導体基板11の表面側に突出する素子分離膜12の中央部に平坦化ストッパ層13をパターン形成し、半導体基板11の活性領域11a上に第1絶縁膜14を成膜した後、素子分離膜12間を埋め込む状態で半導体基板11の上方にフローティングゲート形成層15を成膜する。平坦化ストッパ層13が露出するまでフローティングゲート形成層15の表面を平坦化する。半導体基板11の上方に第2絶縁膜16及びコントロールゲート形成層17を順次成膜し、ゲート長方向のパターニングを行うことによってフローティングゲート15a及びコントロールゲート17aを形成する。ソース及びドレインを形成するための不純物を導入して不揮発性半導体記憶装置1を形成する。



【特許請求の範囲】

【請求項1】 フローティングゲート型の不揮発性記憶装置の製造方法であって、

表面側に突出する形状の素子分離膜で分離された半導体基板の活性領域上に第1絶縁膜を成膜した後、前記素子分離膜間を埋め込む状態で前記半導体基板の上方にフローティングゲート形成層を成膜する第1工程と、

前記素子分離膜が露出するまで前記フローティングゲート形成層の表面を平坦化する第2工程と、

前記フローティングゲート形成層及び前記素子分離膜上に第2絶縁膜を成膜し、当該第2絶縁膜上にコントロールゲート形成層を成膜する第3工程と、

不揮発性記憶装置のゲート長方向に関して前記フローティングゲート形成層、第2絶縁膜及びコントロールゲート形成層のパターニングを行い、前記半導体基板上に当該フローティングゲート形成層からなるフローティングゲートと当該コントロールゲート形成層からなるコントロールゲートとを形成する第4工程と、

前記コントロールゲートをマスクに用いて、前記活性領域における半導体基板の表面側にソース及びドレインを形成するための不純物を導入する第5工程と、

を行うことを特徴とする不揮発性記憶装置の製造方法。

【請求項2】 請求項1記載の不揮発性記憶装置の製造方法において、

前記第1工程の前に、前記素子分離膜が設けられた半導体基板上に絶縁膜からなる平坦化ストッパ層を形成し、当該平坦化ストッパ層をパターニングして前記活性領域の半導体基板表面を露出させる工程を行い、

前記第2工程では、前記平坦化ストッパ層が露出するまで前記フローティングゲート形成層の表面を平坦化すること、

を特徴とする不揮発性記憶の製造方法。

【請求項3】 表面側が素子分離膜で分離された半導体基板上に、第1絶縁膜、フローティングゲート、第2絶縁膜及びコントロールゲートを下層から順に積層してなる不揮発性記憶装置において、

前記フローティングゲートは、当該フローティングゲートの表面と前記素子分離膜の表面とがほぼ同一平面上に位置すると共に、不揮発性記憶素子のゲート幅方向では前記素子分離膜間を埋め込む状態で設けられたものであること、

を特徴とする不揮発性記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は不揮発性記憶装置の製造方法及び不揮発性記憶装置に関し、特に、フローティングゲート型の不揮発性記憶装置の製造方法及び不揮発性記憶装置に関する。

【0002】

【従来の技術】 図2には、フローティングゲート型の不

揮発性記憶装置の製造工程図を示す。この工程図は、不揮発性記憶装置のゲート幅方向の断面を示している。不揮発性記憶装置を製造するには、先ず、図2(1)に示すように、表面側が素子分離膜22で分離された半導体基板21における活性領域21a上に第1絶縁膜23を成膜した後、半導体基板21の上方にフローティングゲート形成層24を成膜する。次いで、このフローティングゲート形成層24に関して、ゲート幅方向のパターニングを行う。このパターニングは、リソグラフィー技術によってフローティングゲート形成層24上にレジストパターン(図示せず)を形成し、このレジストパターンをマスクにしてフローティングゲート形成層24をエッチングすることによって行う。この際、ゲート幅方向で、素子分離膜22とフローティングゲート形成層24とを重ねるようにパターニングを行う。

【0003】 次に、図2(2)に示すように、フローティングゲート形成層24を覆う状態で、半導体基板21上に第2絶縁膜25とコントロールゲート形成層26とを順次成膜する。その後、フローティングゲート形成層24、第2絶縁膜25及びコントロールゲート形成層26のパターニングをゲート長方向に関して行う(図示省略)。これによって、半導体基板21上に当該フローティングゲート形成層24からなるフローティングゲート24aと当該コントロールゲート形成層26からなるコントロールゲート26aとを形成する。その後、コントロールゲート26aの活性領域21aにおける半導体基板21の表面側に、ソース及びドレイン(図示省略)を形成するための不純物を導入する。

【0004】 上記のようにして得られた不揮発性記憶装置2は、表面が素子分離膜22で分離された半導体基板21上に、第1絶縁膜23、フローティングゲート24a、第2絶縁膜25及びコントロールゲート26aが下層から順に積層された構成になる。特に、活性領域上においては、半導体基板21上にフローティングゲート24aを介してコントロールゲート26aが設けられるため、コントロールゲート26aに電圧を印加することによって、フローティングゲート24aに電荷が注入され蓄積される。

【0005】

【発明が解決しようとする課題】 しかし、上記不揮発性記憶装置の製造方法では、半導体基板21上に成膜したフローティングゲート形成層24をパターニングすることによってフローティングゲート24aを形成していることから、フローティングゲート24aの角部Aは略垂直形状で半導体基板21の表面から突出した状態になっている。このため、このフローティングゲート24aにおいては、当該角部Aに電界が集中し易くなっている。また、このフローティングゲート24aを覆う第2絶縁膜25は、当該角部Aで膜厚が薄く成膜されてしまう。

【0006】以上のことから、フローティングゲート24aに注入された電荷がこの角部Aからコントロールゲート26aにリークし易い。このため、このリークを防止して電荷の保持特性を保つには、第2絶縁膜25をある程度の膜厚に設定する必要がある、これが素子構造の微細化を妨げる要因になる。

【0007】また、近年動作電圧の低減化に伴い、V_dd電圧をより低くしようとすると、第1絶縁膜23よりも第2絶縁膜25の面積を広く取ってその容量を大きくする必要がある。この場合、フローティングゲート24aの面積を大きくすることが必須となり、素子分離膜22とフローティングゲート24aとの重なり幅が大きくなる。このため、当該フローティングゲート24aの表面は素子分離膜22の表面よりも高い位置になり、半導体基板21上における段差が大きくなる。これは、不揮発性記憶装置における半導体基板上方の平坦化を困難にし、当該不揮発性記憶装置の多層化を妨げる要因になる。

【0008】そこで本発明は、電荷の保持特性の向上と半導体基板上の平坦化を容易にすることができる不揮発性記憶装置の製造方法及び不揮発性記憶を提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するための本発明の不揮発性記憶装置の製造方法は、以下の手順で行う。まず、第1工程では、表面側に突出する形状の素子分離膜で分離された半導体基板の活性領域上に第1絶縁膜を成膜した後、素子分離膜間を埋め込む状態で半導体基板の上方にフローティングゲート形成層を成膜する。次に、第2工程では、素子分離膜が露出するまでフローティングゲート形成層の表面を平坦化する。その後、第3工程では、フローティングゲート形成層及び素子分離膜上に第2絶縁膜とコントロールゲート形成層とを順次成膜する。次に、第4工程では、フローティングゲート形成層、第2絶縁膜及びコントロールゲート形成層をゲート長方向に関してバターンニングし、半導体基板上にフローティングゲートとコントロールゲートとを形成する。その後、第5工程では、ソース及びドレインを形成するための不純物を半導体基板の表面側に導入する。

【0010】上記製造方法では、素子分離膜が露出するまでフローティングゲート形成層の表面を平坦化した後、このフローティングゲート形成層をバターンニングすることによってフローティングゲートを形成していることから、このフローティングゲートの表面は素子分離膜の表面とほぼ同じ高さになる。したがって、これらの上面に成膜される第2絶縁膜は、均等な膜厚で成膜される。また、素子分離膜と第2絶縁膜とコントロールゲートとの膜厚分が、半導体基板上における段差形状になる。そして、この段差形状にフローティングゲートの膜

厚は加算されない。

【0011】また、上記製造方法においては、第1工程の前に、上記素子分離膜で分離された半導体基板上に絶縁膜からなる平坦化ストッパ層を形成し、当該平坦化ストッパ層をバターンニングして活性領域の半導体基板表面を露出させる工程を行っても良い。この場合、上記第2工程では、平坦化ストッパ層が露出するまで上記フローティングゲート形成層の表面を平坦化する。

【0012】このような製造方法では、フローティングゲート形成層の表面を平坦化する際、平坦化ストッパ層で当該平坦化が終了することから、素子分離膜の膜厚が維持される。

【0013】また、本発明のフローティングゲート型の不揮発性記憶装置は、フローティングゲートの表面と素子分離膜の表面とがほぼ同一平面上に位置し、かつ不揮発性記憶素子のゲート幅方向では当該素子分離膜間を埋め込む状態でフローティングゲートが設けられたことを特徴としている。

【0014】上記不揮発性記憶装置では、フローティングゲートと素子分離膜との上面に配置される第2絶縁膜は、平面上に成膜されたものになるためその膜厚が均一なものになる。また、半導体基板上における段差形状は、素子分離膜と第2絶縁膜とコントロールゲートとの膜厚分になり、フローティングゲートの膜厚は段差に加算されない。

【0015】

【発明の実施の形態】図1は、本発明の不揮発性記憶装置の製造方法を示す断面工程図であり、以下にこの図を用いて上記製造方法の実施形態を説明する。まず、図1(1)に示すように、例えばシリコンからなる半導体基板11の表面側に、LOCOS(Local Oxidation Of Silicon)法によって酸化シリコンからなる素子分離膜12を形成する。この素子分離膜12は、半導体基板11の表面側に盛り上がる形状で形成する。この素子分離膜12によって、半導体基板11の表面側において素子が設けられる活性領域11aをそれぞれ分離する。

【0016】次に、LOCOS法による素子分離膜12の形成に用いた酸化防止膜(図示せず)を除去した後、半導体基板11上に絶縁性材料からなる平坦化ストッパ層13を成膜する。この平坦化ストッパ層13は、後に成膜するフローティングゲート形成層を平坦化する際のストッパになるものであり、上記フローティングゲート形成層に対して平坦化の際の選択比が低い材料を用いることとする。このため、本実施形態では、上記フローティングゲート形成層をポリシリコンで形成することとし、当該平坦化ストッパ層13を窒化シリコンで形成することとする。

【0017】その後、ここでは図示を省略したレジストパターンをマスクに用いたエッチングによって、上記平坦化ストッパ層13をバターンニングする。この際、活性

領域11aにおける半導体基板11の上方を露出させ、かつ素子分離膜12の中央付近に当該平坦化ストッパ層13を残すようにする。そして、本実施形態で形成する不揮発性記憶装置におけるゲート幅方向の平坦化ストッパ層13間の幅 w_1 が、当該不揮発性記憶装置のゲート幅方向におけるフローティングゲートの必要幅と一致するように、上記パターンニングを行う。この平坦化ストッパ層13は、絶縁性材料からなるものであることから素子分離機能を有し、したがって、上記LOCOS法によって形成された酸化シリコンからなる素子分離膜12と共に素子分離膜の一部を構成するものになる。

【0018】そして、上記パターンニングにおけるエッチングに続けて、ここでは図示を省略した素子分離膜12形成の際の緩衝膜として用いたパッド酸化膜をエッチング除去し、活性領域11aにおける半導体基板11の表面を露出させる。

【0019】次に、図1(2)に示すように、例えば熱酸化法によって、半導体基板11の露出面(すなわち活性領域11a)上に酸化シリコンからなる第1絶縁膜14を成膜する。この第1絶縁膜14は、トンネル絶縁膜になるものである。次いで、平坦化ストッパ層13、素子分離膜12及び第1絶縁膜14を覆う状態で、半導体基板11上にフローティングゲート形成層15を成膜する。このフローティングゲート形成層15は、例えば不純物を含有するポリシリコンからなることとする。

【0020】その後、図1(3)に示すように、例えばCMP(Chemical Mechanical Polishing: 化学的機械研磨)によって、平坦化ストッパ層13が露出するまでフローティングゲート形成層15をその表面側から研磨し、当該フローティングゲート形成層15の表面を平坦化する。尚、フローティングゲート形成層15表面の平坦化は、全面エッチングによるエッチバックでも良い。この場合、フローティングゲート形成層15上に表面平坦にレジスト膜を成膜した後、上記全面エッチングを行う。

【0021】次に、図1(4)に示すように、フローティングゲート形成層15及び平坦化ストッパ層13上に第2絶縁膜16を成膜する。この第2絶縁膜16は、例えば酸化シリコン膜の間に窒化シリコン膜を挟んだ3層構造のいわゆるONO(Oxide Nitride Oxide)膜からなるものとする。その後、この第2絶縁膜16上に、例えば不純物を含有するポリシリコンからなるコントロールゲート形成層17を成膜する。

【0022】次に、ここでは図示しないレジストパターンを上記コントロールゲート形成層17上に形成し、このレジストパターンをマスクに用いたエッチングによって、コントロールゲート形成層17、第2絶縁膜16及びフローティングゲート形成層15をパターンニングする。このパターンニングは、不揮発性記憶装置のゲート長方向に関して行う。尚、コントロールゲート形成層17

に関しては、当該コントロールゲート形成層17からなる配線部分(図示せず)のパターンニングも同時に行うこととする。

【0023】次いで、上記レジストパターンを除去した後、コントロールゲート17aをマスクに用いて、活性領域11aにおける半導体基板11の表面側にソース及びドレイン(図示せず)を形成するための不純物を導入する。その後、ここでは図示を省略したが、当該不純物の活性化熱処理を行い、次いで層間絶縁膜の成膜、当該層間絶縁膜へのコンタクトホール形成及びアルミニウム配線の形成を順次行う。これによって、不揮発性記憶装置1を完成させる。

【0024】上記製造方法では、素子分離機能を有する平坦化ストッパ層13が露出するまでフローティングゲート形成層15の表面を平坦化した後、このフローティングゲート形成層15をパターンニングすることによってフローティングゲート15aを形成していることから、フローティングゲート15aの表面は平坦化ストッパ層13の表面とほぼ同じ高さになる。このため、これらの上面に成膜される第2絶縁膜16は、均等な膜厚で成膜される。したがって、フローティングゲート15aの角部Aを覆う第2絶縁膜16部分の膜厚が確保され、この角部Aからコントロールゲート17aへの電荷のリークが抑えられて電荷の保持特性を向上させることができる。これによって、第2絶縁膜16の膜厚の設定を薄くすることができ、素子構造の微細化を図ることができる。

【0025】また、半導体基板上における段差形状は、素子分離膜12と平坦化ストッパ層13と第2絶縁膜16とコントロールゲート17aとの膜厚分になり、フローティングゲート15aの膜厚がこれらに加算されることはない。このため、従来の技術で図2(2)を用いて説明したフローティングゲート型の不揮発性記憶装置と比較して、半導体基板11上における段差が縮小される。このため、半導体基板11上の平坦化が容易になり不揮発性記憶装置1の多層化が達成される。

【0026】また、平坦化ストッパ層13には、フローティングゲート形成層15に対して研磨選択比が低い材料を用いることから、フローティングゲート形成層15の平坦化の際に平坦化ストッパ層13の表面で平坦化を終了し易く、フローティングゲート形成層15が必要以上に薄くなることはない。したがって、フローティングゲート15aの膜厚の安定化と、素子分離膜12及び平坦化ストッパ層13の膜厚の安定化が図られ、素子特性及び素子分離特性も安定なものになる。

【0027】尚、上記実施形態では、素子分離膜12上に平坦化ストッパ層13を設けた。しかし、平坦化の際に、素子分離膜12とフローティングゲート形成層15との間の選択比が十分に取れ、かつゲート幅方向におけるフローティングゲート15aと素子分離膜12との重

なりが、当該素子分離膜12のバースヘッドの長さ程度で良い場合には、必ずしも平坦化ストッパ層13を設ける必要はない。

【0028】この場合、平坦化ストッパ層13のパターニング及びフローティングゲート形成層15のゲート幅方向のパターニングは行う必要がなくなるため、上記実施形態及び従来方法よりもリソグラフィー工程を1回削減することができる。

【0029】また、上記実施形態では、フローティングゲート15aの表面と素子分離膜12の表面とがほぼ同じ高さ位置になることとして説明を行った。しかし、平坦化におけるCMPの際のディッシングや全面エッチングの際のオーバーエッチングによって、フローティングゲート15aの表面が素子分離膜12の表面よりも低い位置になっても良い。このような場合においても、フローティングゲート15aの角部Aは、第2絶縁膜16と共に素子分離膜12で覆われ、この角部Aからの局所的な電荷のリークは防止される。これと共に、半導体基板11上における段差形状も上記実施形態と同程度に低く抑えられる。

【0030】

【発明の効果】以上説明したように本発明の不揮発性記憶装置の製造方法によれば、素子分離膜が露出するまでフローティングゲート形成層の表面を平坦化した後、ゲート長方向に関してこのフローティングゲート形成層をパターニングしてフローティングゲートを形成することで、素子分離膜の表面と同じ高さの表面を有するフローティングゲートで当該素子分離膜間を埋め込み、これら

の上面に成膜される第2絶縁膜を安定な膜厚で成膜することができる。このため、フローティングゲートの角部からの局所的な電荷のリークを防止し、電荷の保持特性が良好な不揮発性記憶装置を得ることが可能になる。これと共に、半導体基板上における段差が小さい不揮発性記憶装置を得ることが可能になり、不揮発性記憶装置の上部の平坦化を容易にすることができる。

【0031】また、本発明の不揮発性記憶装置によれば、フローティングゲートを覆う第2絶縁膜を膜厚が均一なものにすることができることから、フローティングゲートの角部からの局所的な電荷のリークを防止し、電荷の保持特性を向上させることが可能になる。これと共に、半導体基板上における段差形状をフローティングゲートの膜厚分だけ低くすることが可能になり、不揮発性記憶装置の平坦化を図ることができる。

【図面の簡単な説明】

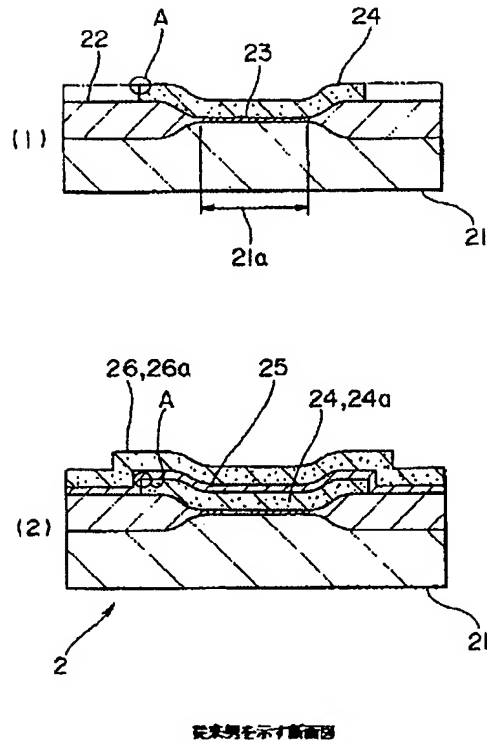
【図1】実施形態を示す断面図である。

【図2】従来例を示す断面図である。

【符号の説明】

- | | | | | | |
|-----|---------------|-----|--------------|-----|-------|
| 1 | 不揮発性記憶装置 | 11 | 半導体基板 | 11a | 活性領域 |
| 12 | 素子分離膜 | 13 | 平坦化ストッパ層 | 14 | 第1絶縁膜 |
| 15 | フローティングゲート形成層 | 15a | フローティングゲート | | |
| 16 | 第2絶縁膜 | 17 | コントロールゲート形成層 | | |
| 17a | コントロールゲート | | | | |

【圖2】



【請求項２】 請求項１記載の不揮発性半導体記憶装置の製造方法において、
前記第１工程の前に、前記素子分離膜が設けられた半導体基板上に絶縁膜からなる平坦化ストッパ層を形成し、当該平坦化ストッパ層をパターニングして前記活性領域の半導体基板表面を露出させる工程を行い、

前記第2工程では、前記平坦化ストッパ層が露出するまで前記フローティングゲート形成層の表面を平坦化すること、

を特徴とする不揮発性記憶の製造方法。

【請求項3】 表面側が素子分離膜で分離された半導体基板上に、第1絶縁膜、フローティングゲート、第2絶縁膜及びコントロールゲートを下層から順に積層してなる不揮発性半導体記憶装置において、前記フローティングゲートは、当該フローティングゲートの表面と前記素子分離膜の表面とがほぼ同一平面上に位置すると共に、不揮発性半導体記憶装置のゲート幅方向では前記素子分離膜間を埋め込む状態で設けられたものであること、

を特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は不揮発性半導体記憶装置の製造方法及び不揮発性半導体記憶装置に関し、特に、フローティングゲート型の不揮発性半導体記憶装置の製造方法及び不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】図2には、フローティングゲート型の不揮発性半導体記憶装置の製造工程図を示す。この工程図は、不揮発性半導体記憶装置のゲート幅方向の断面を示している。不揮発性半導体記憶装置を製造するには、先ず、図2(1)に示すように、表面側が素子分離膜22で分離された半導体基板21における活性領域21a上に第1絶縁膜23を成膜した後、半導体基板21の上方にフローティングゲート形成層24を成膜する。次いで、このフローティングゲート形成層24に関して、ゲート幅方向のパターニングを行う。このパターニングは、リソグラフィ技術によってフローティングゲート形成層24上にレジストパターン(図示せず)を形成し、このレジストパターンをマスクにしてフローティングゲート形成層24をエッチングすることによって行う。この際、ゲート幅方向で、素子分離膜22とフローティングゲート形成層24とを重ねるようにパターニングを行う。

【0003】次に、図2(2)に示すように、フローティングゲート形成層24を覆う状態で、半導体基板21上に第2絶縁膜25とコントロールゲート形成層26とを順次成膜する。その後、フローティングゲート形成層24、第2絶縁膜25及びコントロールゲート形成層26のパターニングをゲート長方向に関して行う(図示省略)。これによって、半導体基板21上に当該フローティングゲート形成層24からなるフローティングゲート24aと当該コントロールゲート形成層26からなるコントロールゲート26aとを形成する。その後、コントロールゲート26aをマスクにして、当該コントロールゲート26a脇の活性領域21aにおける半導体基板2

1の表面側に、ソース及びドレイン(図示省略)を形成するための不純物を導入する。

【0004】上記のようにして得られた不揮発性半導体記憶装置2は、表面が素子分離膜22で分離された半導体基板21上に、第1絶縁膜23、フローティングゲート24a、第2絶縁膜25及びコントロールゲート26aが下層から順に積層された構成になる。特に、活性領域上においては、半導体基板21上にフローティングゲート24aを介してコントロールゲート26aが設けられるため、コントロールゲート26aに電圧を印加することによって、フローティングゲート24aに電荷が注入され蓄積される。

【0005】

【発明が解決しようとする課題】しかし、上記不揮発性半導体記憶装置の製造方法では、半導体基板21上に成膜したフローティングゲート形成層24をパターニングすることによってフローティングゲート24aを形成していることから、フローティングゲート24aの角部Aは略垂直形状で半導体基板21の表面から突出した状態になっている。このため、このフローティングゲート24aにおいては、当該角部Aに電界が集中し易くなっている。また、このフローティングゲート24aを覆う第2絶縁膜25は、当該角部Aで膜厚が薄く成膜されてしまう。

【0006】以上のことから、フローティングゲート24aに注入された電荷がこの角部Aからコントロールゲート26aにリークし易い。このため、このリークを防止して電荷の保持特性を保つには、第2絶縁膜25をある程度の膜厚に設定する必要がある、これが素子構造の微細化を妨げる要因になる。

【0007】そこで本発明は、電荷の保持特性の向上を図ることができる不揮発性半導体記憶装置の製造方法及び不揮発性記憶を提供することを目的とする。

【0008】

【課題を解決するための手段】上記目的を達成するための本発明の不揮発性半導体記憶装置の製造方法は、以下の手順で行う。先ず、第1工程では、表面側に突出する形状の素子分離膜で分離された半導体基板の活性領域上に第1絶縁膜を成膜した後、素子分離膜間を埋め込む状態で半導体基板の上方にフローティングゲート形成層を成膜する。次に、第2工程では、素子分離膜が露出するまでフローティングゲート形成層の表面を平坦化する。その後、第3工程では、フローティングゲート形成層及び素子分離膜上に第2絶縁膜とコントロールゲート形成層とを順次成膜する。次に、第4工程では、フローティングゲート形成層、第2絶縁膜及びコントロールゲート形成層をゲート長方向に関してパターニングし、半導体基板上にフローティングゲートとコントロールゲートとを形成する。その後、第5工程では、ソース及びドレインを形成するための不純物を半導体基板の表面側に導入

する。

【0009】上記製造方法では、素子分離膜が露出するまでフローティングゲート形成層の表面を平坦化した後、このフローティングゲート形成層をパターニングすることによってフローティングゲートを形成していることから、このフローティングゲートの表面は素子分離膜の表面とほぼ同じ高さになる。したがって、これらの上面に成膜される第2絶縁膜は、均等な膜厚で成膜される。また、素子分離膜と第2絶縁膜とコントロールゲートとの膜厚分が、半導体基板上における段差形状になる。そして、この段差形状にフローティングゲートの膜厚は加算されない。

【0010】また、上記製造方法においては、第1工程の前に、上記素子分離膜で分離された半導体基板上に絶縁膜からなる平坦化ストッパ層を形成し、当該平坦化ストッパ層をパターニングして活性領域の半導体基板表面を露出させる工程を行っても良い。この場合、上記第2工程では、平坦化ストッパ層が露出するまで上記フローティングゲート形成層の表面を平坦化する。

【0011】このような製造方法では、フローティングゲート形成層の表面を平坦化する際、平坦化ストッパ層で当該平坦化が終了することから、素子分離膜の膜厚が維持される。そして、フローティングゲートの上方にのみコントロールゲートが露出される。

【0012】しかも、フローティングゲートが素子分離領域上に延在する形態になるため、フローティングゲートとコントロールゲートとの間で構成されるキャパシタの容量値は、半導体基板とフローティングゲート間で構成されるキャパシタの容量値よりも大きくなる。

【0013】また、本発明のフローティングゲート型の不揮発性半導体記憶装置は、フローティングゲートの表面と素子分離膜の表面とがほぼ同一平面上に位置し、かつ不揮発性半導体記憶装置のゲート幅方向では当該素子分離膜間を埋め込む状態でフローティングゲートが設けられたことを特徴としている。

【0014】上記不揮発性半導体記憶装置では、フローティングゲートと素子分離膜との上面に配置される第2絶縁膜は、平面上に成膜されたものになるためその膜厚が均一なものになる。また、半導体基板上における段差形状は、素子分離膜と第2絶縁膜とコントロールゲートとの膜厚分になり、フローティングゲートの膜厚は段差に加算されない。

【0015】

【発明の実施の形態】図1は、本発明の不揮発性半導体記憶装置の製造方法を示す断面工程図であり、以下にこの図を用いて上記製造方法の実施形態を説明する。先ず、図1(1)に示すように、例えばシリコンからなる半導体基板11の表面側に、LOCOS(Local Oxidation Of Silicon)法によって酸化シリコンからなる素子分離膜12を形成する。この素子分離膜12は、半導体

基板11の表面側に盛り上がる形状で形成する。この素子分離膜12によって、半導体基板11の表面側において素子が設けられる活性領域11aをそれぞれ分離する。

【0016】次に、LOCOS法による素子分離膜12の形成に用いた酸化防止膜(図示せず)を除去した後、半導体基板11上に絶縁性材料からなる平坦化ストッパ層13を成膜する。この平坦化ストッパ層13は、後に成膜するフローティングゲート形成層を平坦化する際のストッパになるものであり、上記フローティングゲート形成層に対して平坦化の際の選択性が低い材料を用いることとする。このため、本実施形態では、上記フローティングゲート形成層をポリシリコンで形成することとし、当該平坦化ストッパ層13を窒化シリコンで形成することとする。

【0017】その後、ここでは図示を省略したレジストパターンをマスクに用いたエッチングによって、上記平坦化ストッパ層13をパターニングする。この際、活性領域11aにおける半導体基板11の上方を露出させ、かつ素子分離膜12の中央付近に当該平坦化ストッパ層13を残すようにする。そして、本実施形態で形成する不揮発性半導体記憶装置におけるゲート幅方向の平坦化ストッパ層13間の幅 w_1 が、当該不揮発性半導体記憶装置のゲート幅方向におけるフローティングゲートの必要幅と一致するように、上記パターニングを行う。この平坦化ストッパ層13は、絶縁性材料からなるものであることから素子分離機能を有し、したがって、上記LOCOS法によって形成された酸化シリコンからなる素子分離膜12と共に素子分離膜の一部を構成するものになる。

【0018】そして、上記パターニングにおけるエッチングに続けて、ここでは図示を省略した素子分離膜12形成の際の緩衝膜として用いたパッド酸化膜をエッチング除去し、活性領域11aにおける半導体基板11の表面を露出させる。

【0019】次に、図1(2)に示すように、例えば熱酸化法によって、半導体基板11の露出面(すなわち活性領域11a)上に酸化シリコンからなる第1絶縁膜14を成膜する。この第1絶縁膜14は、トンネル絶縁膜になるものである。次いで、平坦化ストッパ層13、素子分離膜12及び第1絶縁膜14を覆う状態で、半導体基板11上にフローティングゲート形成層15を成膜する。このフローティングゲート形成層15は、例えば不純物を含有するポリシリコンからなることとする。

【0020】その後、図1(3)に示すように、例えばCMP(Chemical Mechanical Polishing: 化学的機械研磨)によって、平坦化ストッパ層13が露出するまでフローティングゲート形成層15をその表面側から研磨し、当該フローティングゲート形成層15の表面を平坦化する。尚、フローティングゲート形成層15表面の平

坦化は、全面エッチングによるエッチバックでも良い。この場合、フローティングゲート形成層15上に表面平坦にレジスト膜を成膜した後、上記全面エッチングを行う。

【0021】次に、図1(4)に示すように、フローティングゲート形成層15及び平坦化ストッパ層13上に第2絶縁膜16を成膜する。この第2絶縁膜16は、例えば酸化シリコン膜の間に窒化シリコン膜を挟んだ3層構造のいわゆるONO(Oxide Nitride Oxide)膜からなるものとする。その後、この第2絶縁膜16上に、例えば不純物を含むポリシリコンからなるコントロールゲート形成層17を成膜する。

【0022】次に、ここでは図示しないレジストパターンを上記コントロールゲート形成層17上に形成し、このレジストパターンをマスクに用いたエッチングによって、コントロールゲート形成層17、第2絶縁膜16及びフローティングゲート形成層15をパターンニングする。このパターンニングは、不揮発性半導体記憶装置のゲート長方向に関して行う。尚、コントロールゲート形成層17に関しては、当該コントロールゲート形成層17からなる配線部分(図示せず)のパターンニングも同時に行うこととする。

【0023】次いで、上記レジストパターンを除去した後、コントロールゲート17-aをマスクに用いて、活性領域11-aにおける半導体基板11の表面側にソース及びドレイン(図示せず)を形成するための不純物を導入する。その後、ここでは図示を省略したが、当該不純物の活性化熱処理を行い、次いで層間絶縁膜の成膜、当該層間絶縁膜へのコンタクトホール形成及びアルミニウム配線の形成を順次行う。これによって、不揮発性半導体記憶装置1を完成させる。

【0024】上記製造方法では、素子分離機能を有する平坦化ストッパ層13が露出するまでフローティングゲート形成層15の表面を平坦化した後、このフローティングゲート形成層15をパターンニングすることによってフローティングゲート15-aを形成していることから、フローティングゲート15-aの表面は平坦化ストッパ層13の表面とほぼ同じ高さになる。このため、これらの上面に成膜される第2絶縁膜16は、均等な膜厚で成膜されて、フローティングゲート15-aの角部Aを覆う第2絶縁膜16部分の膜厚が確保される。また、フローティングゲート15-aの上方にのみコントロールゲート17-aが配置された状態になり、上記角部Aの周囲を2方向からコントロールゲート17-aが取り囲むことはない。このため、この角部Aへの電界集中が抑えられる。以上のことから、この角部Aからコントロールゲート17-aへの電荷のリークが抑えられて電荷の保持特性を向上させることができる。これによって、第2絶縁膜16の膜厚の設定を薄くすることができ、素子構造の微細化を図ることができる。

【0025】また、半導体基板上における段差形状は、素子分離膜12と平坦化ストッパ層13と第2絶縁膜16とコントロールゲート17-aとの膜厚分になり、フローティングゲート15-aの膜厚がこれらに加算されることはない。このため、従来の技術で図2(2)を用いて説明したフローティングゲート型の不揮発性半導体記憶装置と比較して、半導体基板11上における段差が縮小される。このため、半導体基板11上の平坦化が容易になり不揮発性半導体記憶装置1の多層化が達成される。

【0026】また、平坦化ストッパ層13には、フローティングゲート形成層15に対して研磨選択性が低い材料を用いることから、フローティングゲート形成層15の平坦化の際に平坦化ストッパ層13の表面で平坦化を終了し易く、フローティングゲート形成層15が必要以上に薄くなることはない。したがって、フローティングゲート15-aの膜厚の安定化と、素子分離膜12及び平坦化ストッパ層13の膜厚の安定化が図られ、素子特性及び素子分離特性も安定なものになる。

【0027】尚、上記実施形態では、素子分離膜12上に平坦化ストッパ層13を設けた。しかし、平坦化の際に、素子分離膜12とフローティングゲート形成層15との間の選択比が十分に取れ、かつゲート幅方向におけるフローティングゲート15-aと素子分離膜12との重なりが、当該素子分離膜12のバズヘッドの長さ程度で良い場合には、必ずしも平坦化ストッパ層13を設ける必要はない。

【0028】この場合、平坦化ストッパ層13のパターンニング及びフローティングゲート形成層15のゲート幅方向のパターンニングは行う必要がなくなるため、上記実施形態及び従来の方法よりもリソグラフィー工程を1回削減することができる。

【0029】また、上記実施形態では、フローティングゲート15-aの表面と素子分離膜12の表面とがほぼ同じ高さ位置になることとして説明を行った。しかし、平坦化におけるCMPの際のディッシングや全面エッチングの際のオーバーエッチングによって、フローティングゲート15-aの表面が素子分離膜12の表面よりも低い位置になっても良い。このような場合においても、フローティングゲート15-aの角部Aは、第2絶縁膜16と共に素子分離膜12とで覆われ、この角部Aからの局所的な電荷のリークは防止される。これと共に、半導体基板11上における段差形状も上記実施形態と同程度に低く抑えられる。

【0030】

【発明の効果】以上説明したように本発明の不揮発性半導体記憶装置の製造方法によれば、素子分離膜が露出するまでフローティングゲート形成層の表面を平坦化した後、ゲート長方向に関してこのフローティングゲート形成層をパターンニングしてフローティングゲートを形成することで、素子分離膜の表面と同じ高さの表面を有する

フローティングゲートで当該素子分離膜間を埋め込み、これらの上面に成膜される第2絶縁膜を安定な膜厚で成膜することができる。このため、フローティングゲートの角部からの局所的な電荷のリークを防止し、電荷の保持特性が良好な不揮発性半導体記憶装置を得ることが可能になる。これと共に、半導体基板上における段差が小さい不揮発性半導体記憶装置を得ることが可能になり、不揮発性半導体記憶装置の上部の平坦化を容易にすることができる。

【0031】また、本発明の不揮発性半導体記憶装置によれば、フローティングゲートを覆う第2絶縁膜を膜厚が均一なものにすることができることから、フローティングゲートの角部からの局所的な電荷のリークを防止し、電荷の保持特性を向上させることが可能になる。

【図面の簡単な説明】

【図1】実施形態を示す断面図である。

【図2】従来例を示す断面図である。

【符号の説明】

- 1 不揮発性半導体記憶装置 11 半導体基板
11a 活性領域
12 素子分離膜 13 平坦化ストッパ層 14 第1絶縁膜
15 フローティングゲート形成層 15a フローティングゲート
16 第2絶縁膜 17 コントロールゲート形成層
17a コントロールゲート

【手続補正2】

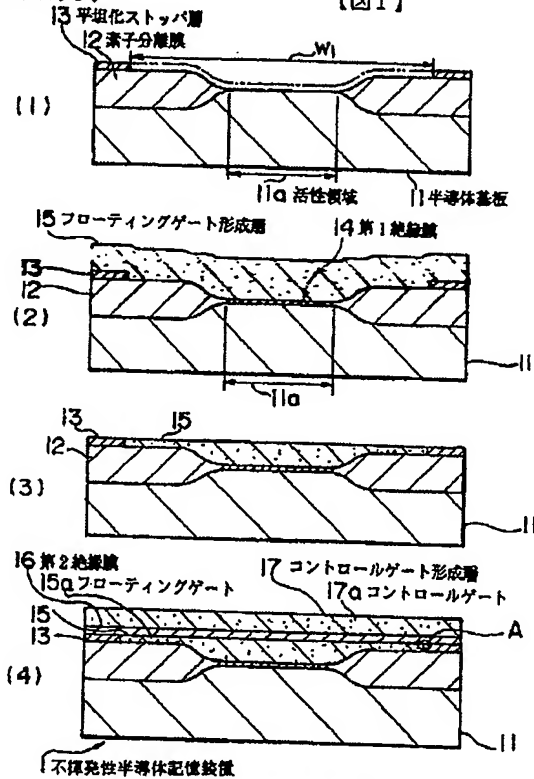
【補正対象書類名】図面

【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】



実施形態を示す断面図